

MoS₂ のデバイス応用

若林 整(wakabayashi.h.ab[at]m.titech.ac.jp), 宗田 伊理也 ; 東京工業大学・工学院

原子層状半導体である遷移金属ダイカルコゲナイド(Transition metal di-chalcogenide: TMDC)の中でも比較的安定な MoS₂ は[1]、高い移動度や柔軟性、透明性などの特長から、将来の Cloud/Fog context computing 社会において特に IoT Edge デバイス応用が期待されている。

第一に LSI 応用として、Sub-10-nm シリコン MOSFET の代替として研究されているが[2-4]、その世代に必要な Sub-0.5-V 内部電圧においてエネルギー遅延積を改善するため、サブスレッショルド特性が良好な Tunneling FET (tFET) の高性能化が期待されている[5]。第二に 3D 構造超高集積化が進むメモリ応用について、既に実用化済み BiCS-NAND Flash [6] のマカロニ型多結晶シリコン(Poly-Si)縦トランジスタチャネルの代替や、将来の 4F² 構造 DRAM や Cross-point NVM (PCM, RRAM, STT-MRAM) 向け縦トランジスタチャネルへの適用が期待されている。第三にセンサ応用として、広ダイナミックレンジおよび高 S/N が期待される縦方向分光を実現するイメージセンサ[7]や、安価な化学センサ[8]への応用に向けた研究も進んでいる。第四にアクチュエータ、特にディスプレイやプロジェクタ応用として、ガラス基板上 Poly-Si を用いた透過だけでなく反射(LCOS)や自発光(有機 EL)型においても、大面積デバイスへの研究も進んでいる。第五にそれらの機能を自在に接続・切り替えるための Monolithic 2D FET への適用も考えられる。何も低コスト化が必要である多様な少機能 IoT edge デバイスとしての応用であり、特に自己完結発電機能を持つ装置においては低エネルギー遅延積が必要ではないことも想定され、実用化推進と応用拡大が期待される。

本研究では Si LSI 技術を応用した超高真空スパッタと低圧硫化技術を用いて TMDC 特に MoS₂ 膜のキャリア濃度低減($\sim 10^{14} \text{cm}^{-3}$)と Hall 移動度($\sim 37 \text{cm}^2/\text{V}\cdot\text{s}$)を示し[9-11]、改善している。

謝辞 本研究の一部は、JSPS 科研費 JP26105014, JP16K14247 の助成を、また JST の CREST および COI の支援を受けたものである。

References

- [1] B. Radisavljevic, *et al.*, "Single-layer MoS₂ transistors," *Nature Nanotech.* 6, 147-150 2011.
- [2] Sujay B. Desai, *et al.*, "MoS₂ transistors with 1-nanometer gate lengths," *Science* 07 Oct 2016: Vol. 354, Issue 6308, pp. 99-102.
- [3] Wei Cao, *et al.*, "An Ultra-Short Channel Monolayer MoS₂ FET Defined By the Curvature of a Thin Nanowire," *IEEE EDL*, Vol. 37, No. 11, pp. 1497-1500, 2016.
- [4] L. Yu, *et al.*, "High-Yield Large Area MoS₂ Technology: Material, Device and Circuits Co-optimization," *IEDM* 2016, 5.7, 135-138.
- [5] Deblina Sarkar, *et al.*, "A subthermionic tunnel field-effect transistor with an atomically thin channel," *Nature*, 91, 1 Oct. 2015.
- [6] H. Tanaka, *et al.*, "Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory," *Symp. on VLSI Technology*, 2007.
- [7] Chih-Chao Yang, *et al.*, "Enabling monolithic 3D image sensor using large-area monolayer transition metal dichalcogenide and logic/memory hybrid 3D IC," *Symp. on VLSI Technology*, 2016, 22.2.
- [8] Yuhei Hayamizu, *et al.*, "Bioelectronic interfaces by spontaneously organized peptides on 2D atomic single layer materials," *Scientific Reports* 6, Article number: 33778.
- [9] Takumi Ohashi, *et al.*, "Multi-layered MoS₂ film formed by high-temperature sputtering for enhancement-mode nMOSFETs," *JJAP*, 54, 04DN08 (2015).
- [10] J. Shimizu, *et al.*, "High-Mobility and Low-Carrier-Density Sputtered-MoS₂ Film by Low-Temperature Forming- Gas Annealing for 3D-IC," *PS-13-04, SSDM* 2016.
- [11] K. Matsuura, *et al.*, "Sulfurization in Sulfur Vapor for Sputtered-MoS₂ Film," 3.6, *SISC* 2016.